

METHOD AND APPARATUS FOR LINKING ELECTRODE OF SEMICONDUCTOR CHIP TO PACKAGE LEAD AND ELECTRONIC PACKAGE

Patent number: JP61251047
Publication date: 1986-11-08
Inventor: KARURO KONETSUTEI DE MARUTEIIS
Applicant: SGS MICROELETTRONICA SPA
Classification:
 - international: **H01L21/50; H01L23/057; H01L23/485; H01L21/02; H01L23/02; H01L23/48; (IPC1-7): H01L21/60**
 - european: H01L21/50; H01L23/057; H01L23/485A
Application number: JP19860097803 19860426
Priority number(s): IT19850020504 19850426

Also published as:

 NL8601073 (A)
 GB2174543 (A)
 FR2581247 (A1)
 DE3614087 (A1)
 NL193513C (C)

more >>

Report a data error here

Abstract not available for JP61251047

Abstract of corresponding document: **GB2174543**

In a package (20) containing a semiconductor or an integrated circuit chip (10), an insulating layer (12) is deposited on the chip (10), and a group of electrodes (13) are deposited on the insulating layer (12). The group of electrodes (13) are generally larger than the internal electrodes (11) of the chip (10) and are coupled to selected ones of the internal electrodes (11). The larger electrodes (13) permit the conducting leads (21) of the package (20) to project into the interior of the package (20) and be applied directly to the smaller electrodes (11) when the package (20) is assembled. The electrodes (13) and the package leads (21) are wetted with an appropriate preferably solder type alloy (22) to permit convenient electrical coupling. The electrodes and the package leads are properly shaped, to make the assembly process not dependent on the area.

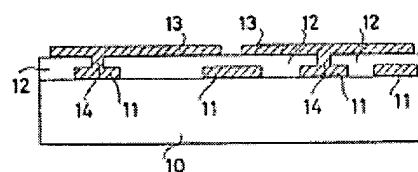


Fig. 1

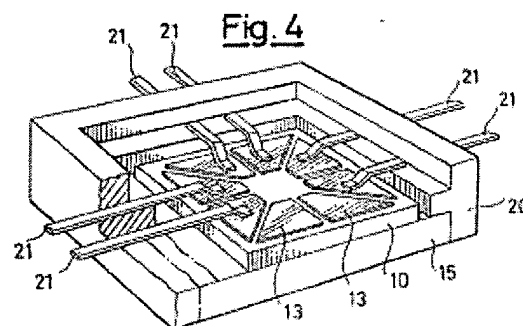


Fig. 4

Data supplied from the esp@cenet database - Worldwide

⑫ 公開特許公報(A) 昭61-251047

⑪ Int.Cl.⁴
H 01 L 21/60識別記号 庁内整理番号
6732-5F

⑬ 公開 昭和61年(1986)11月8日

審査請求 未請求 発明の数 4 (全6頁)

- ⑭ 発明の名称 半導体チップの電極をパッケージリードに結合する方法および装置並びに電子パッケージ
- ⑮ 特 願 昭61-97803
⑯ 出 願 昭61(1986)4月26日
- 優先権主張 ⑰ 1985年4月26日 ⑱ イタリア(IT) ⑲ 20504A/85
- ⑳ 発 明 者 カルロ・コネッティ・ イタリア共和国 20149 ミラノ、ヴィアレ・ランゾーニ
デ・マルティース 3
- ㉑ 出 願 人 エツセジーエツセ ミ イタリア共和国 95121 カターニア、ストラダレー・ブ
クロエレットロニカソ リモソーレ、50
チエタ ペル アノニ
マ
- ㉒ 代 理 人 弁理士 小川 信一 外2名

明 細 書

1. 発明の名称

半導体チップの電極をパッケージリードに結合する方法および装置並びに電子パッケージ

2. 特許請求の範囲

1. 半導体チップの電極を該チップを含むパッケージのリードに結合する方法であって、チップ(10)の予選択された電極(11)に電気的に結合された大きい電極(13)を絶縁層(12)に溶着する工程であって、前記絶縁層(12)が、絶縁層(12)を通過して、前記パッケージリード(21)に直接接触している前記大きい電極(13)と接触するように延長する電極(11)の部分を別にして、前記集積回路チップ電極(11)の上に位置ぎめされ、それを保護するに行う溶着工程と、前記パッケージリード(21)および前記大きいリード(13)の少なくとも1つを比較的低温で溶ける合金(22)でコーティングする工程と、前記合金(22)を加熱して、それを流れさせ、潤滑させかつ前記大きい電極(13)

を前記パッケージ(20)に結合させることによって、前記パッケージリード(21)を前記大きい電極(13)に電気的、機械的に結合する工程とから成ることを特徴とする結合方法。

2. 前記コーティングする工程は、前記パッケージリード(21)と前記大きい電極(13)の両方を前記合金(22)でコーティングする工程から成ることを特徴とする特許請求の範囲第1項記載の結合方法。

3. チップ(10)の半導体領域に接触する第1組の電極(11)を有する集積回路チップ(10)であり、該チップ(10)は、第1セットの電極(11)から前記絶縁層(12)を通過して第2組のより大きい電極(13)と接触するよう延長する電極部分を別にして、前記集積回路チップ(10)を覆っている絶縁体(12)に位置ぎめされた第2組のより大きい電極(13)を有しているような集積回路チップ(10)と、伝導リード(21)を取付けられたパッケージ(20)と、前記伝導リード(21)を前記第2組の電極(13)に電気

的、機械的に接続するはんだ付け手段(22)とを備えていることを特徴とする電子パッケージ。

4. 前記はんだ付け手段(22)は鉛／錫はんだ付けであることを特徴とする特許請求の範囲第3項記載の電子パッケージ。

5. 集積回路チップを電気回路に結合する装置であって、前記電気回路に電気的に結合する部分を有する伝導手段(21)と、前記伝導手段(21)と前記集積回路チップ(10)を支持するパッケージ手段(20)であって、前記集積回路チップ(10)は前記集積回路チップ(10)への電気的接触を可能とする拡張電極手段(13)を有し、前記伝導手段(21)は、前記集積回路チップ(10)が前記パッケージ手段(20)に結合される場合、前記拡張電極手段(13)に電気的、機械的に接触を行なう他の部分を有するようなパッケージ手段(20)と、前記伝導手段(21)の前記他の部分を前記拡張電極手段(13)に電気的、機械的に結合するはんだ付け手段(22)とを備えていることを特徴とする結合装置。

記リードフレーム部分(21)に曲り端を形成する工程と、前記半導体チップ(10)を前記リードフレーム部分(21)を含むパッケージ(20)に、前記リードフレーム部分(21)の前記曲り端と前記拡張電極(13)が接触するよう位置ぎめする工程とから成ることを特徴とする電気的結合方法。

3. 発明の詳細な説明

本発明は一般には半導体装置の実装に関し、より詳細には、半導体装置すなわち集積回路を、該半導体装置すなわち集積回路を有するパッケージから延びるリードに都合よく結合することのできる集積回路のような半導体装置の実装に関するものである。

半導体チップに組立られた離散型あるいは集積回路の半導体装置は、より複雑になり、かつ、成分密度の増加を達成して来たので、集積回路が組立てられているチップを、集積回路成分を利用する回路に結合することはより困難になって来た。集積回路チップと電子回路との間

6. 前記集積回路チップ(10)は、前記パッケージ手段(20)に結合されている基板部材(15)に結合されていることを特徴とする特許請求の範囲第5項記載の結合装置。

7. 前記伝導手段(21)はリードフレームであり、そして前記拡張電極手段(13)は前記リードフレームに取付けられていることを特徴とする特許請求の範囲第5項記載の結合装置。

8. 前記リードフレームのリード(21)は前記パッケージ手段(20)の内側に延長していることを特徴とする特許請求の範囲第7項記載の結合装置。

9. 前記伝導手段(21)の前記他の部分は曲り端部分を有し、そして前記曲り端部分の端部分は前記拡張電極手段(13)と機械的、電気的に接触していることを特徴とする特許請求の範囲第5項記載の結合装置。

10. 半導体チップをリードフレーム部分に電気的に結合する方法であって、半導体チップ(10)に拡張電極(13)を形成する工程と、前

にインタフェースを発生させる典型的メカニズムは、先ず集積回路チップをパッケージに位置ぎめし、次いでチップの選択された部分間の細い導線をパッケージの選択された部分に結合することである。パッケージはそこから延長するリードを有しており、それは、例えばプリント配線板を利用して、電子回路あるいは装置に結合するのに適している。例えば、パッケージ(リードによって)は、プリント配線板の孔を介してあるいは電気回路のソケットに、挿入することができる。しかし、集積回路チップからパッケージリードへの電気的結合は、通常、細密な導線により達成されて来ている。これらの細密導線はもろく、かつ、半導体チップの伝導領域とパッケージのリード間を付着させることは比較的困難であるとされて来ている。その上、種々の装置すなわちチップの半導体領域へ電気的に接触するためのパッドを有するチップの上表面は、チップの大きさが、必要に応じて増減する場合に特に重要とされる、各種のリードフ

レームパッケージ寸法と容易に接触できるための、十分な可撓性を備えていない。

従って、パッケージの導電リードを直接に半導体装置すなわち集積回路チップに、より確実に、かつ、信頼できるように結合し、よって強固な電氣的結合を生じ、電氣的相互接続を達成しやすくする技術が必要とされる。

従って本発明の目的は、半導体装置すなわち集積回路を実装する改良技術ならびに方法を提供することである。

本発明の別の目的は、集積回路チップの電極と実装素子の伝導リードの間で改良された結合を可能にすることである。

本発明のより特定目的は、チップの拡張パッド領域とリードフレームパッケージの曲り端リード部分との組合せを利用して、リードフレームのリードとチップの拡張パッド領域との間でより信頼できる電氣接触をさせる、改良されたパッケージと方法を提供することである。

本発明のなお別の目的は、チップの拡張パ

ッド領域とリードフレームパッケージの曲り端リード部分とを組合せ、種々の大きさのチップが同じパッケージで利用できるようにすることによって、パッケージの価格を低減することである。

本発明の別の特定目的は、パッケージリードを集積回路チップに直接適用する手続きを提供することである。

本発明のなお別の特定目的は、伝導リードと電極が容易に電氣的相互接続のできる材料で被覆され得る場合、パッケージの伝導リードと集積回路チップの電極との間で、直接接触を行なうことである。

集積回路チップに絶縁体の層を具備し、そして1組の比較的大きい電極を該絶縁体の層の上に溶着することによって、前述のおよび他の目的は、本発明に従って達成される。より大きい電極は集積回路電極に結合されており、そしてより大きい電極は、パッケージ素子が組立てられる場合に、集積回路チップを支持するパッ

ケージの伝導リードが機械的に接触するように構成される。パッケージリードと大きい電極は、良好なことに、適切な湿潤性すなわちはんだ付けタイプの化合物で被覆されて、これらの素子と電極を都合よく電氣的かつ、機械的に結合する。

本発明の1実施例によれば、半導体チップの電極を、該半導体チップを含むパッケージのリードに結合する方法は、半導体チップの前以て選択された電極に電氣的に結合された大きい電極を絶縁層に溶着する工程から成り、該絶縁層は、絶縁層を通して、パッケージリードに直接接触する大きい電極と接触するよう延長する電極部分は別にして、チップの電極上に置かれかつそれを保護する。パッケージリードおよび大きい電極の少なくとも1つは、比較的低温で溶ける合金で被覆されている。パッケージリードは、該合金を加熱してそれを流れさせ、湿潤させそして大きい電極とパッケージリードに結合させることによって大きい電極に電氣的、機械

的に結合される。

本発明の別の実施例によれば、電子パッケージは、チップの半導体領域に接触する第1組の電極を有する集積回路を備える、と説明されている。より大きい第2組の電極を有するチップは、第1組の電極から絶縁層を通して該より大きい第2組の電極と接触するよう延長する電極部分を別にして、集積回路チップを被覆する絶縁体上に位置ぎめされている。パッケージは伝導リードを取付けられて備えられている。該伝導リードを第2組の電極に電氣的、機械的に接続するはんだ付け手段が設けられている。

本発明のなお別の実施例によれば、集積回路チップを電氣回路に結合する装置は、電氣回路に電氣的に結合する部分を有する伝導手段と、該伝導手段と集積回路チップを支持するパッケージ手段を備える、と述べられている。集積回路チップは集積回路チップに電氣的に接触できる拡張電極手段を与える拡張電極手段を有する。伝導手段は、拡張電極手段に電氣的、機械的に

接触を行なう他の部分を有する。伝導手段の他の部分を拡張電極に電気的、機械的に結合するはんだ付け手段が備えられている。

本発明のおお別の実施例によれば、半導体チップをリードフレーム部分に電気的に結合する方法が開示されている。該方法には、半導体チップに拡張電極を形成する工程と、リードフレーム部分に曲り端を形成する工程、および半導体チップをリードフレーム部分を有するパッケージに、リードフレーム部分の曲り端と拡張電極が接触するよう、位置ぎめする工程とから成る。

本発明のこれらのおよび他の特徴は、図面に従い以下の説明を読むことにより理解されるであろう。

第1図には、本発明による半導体というよりはむしろ集積回路チップ10が示されている。集積回路それ自体がチップ10に形成されている。第1レベルの電極すなわち金属被覆（メモリゼーション）11は、集積回路の種々の半導体領域

寸法と共に変るのであり、電気的接触は拡張パッドのために達成されたままとなっているからである）。半導体チップ10の互いに異なる半導体領域（N形あるいはP形）は図示されていないが、電極11によって接触する。

次に第2図では、集積回路を有するチップ10の上面図が示される。8つのピンの各々に対して1つのセクタとして良好に形成された第2レベルの金属被覆の拡張電極13および下に位置する絶縁コーティング12が見られる。半導体チップ10は、タブすなわち基板部分15上に位置ぎめされているように示される。

次に第3図では、パッケージアセンブリにおける基板部分15とチップ10の相対的位置ぎめが、本発明による相互接続技法を明らかにするためにその部分を描出すことにより示される。パッケージの壁20は、それを通り抜ける導電リードすなわちリードフレーム部分21を有する。チップ/基板アセンブリがパッケージに位置ぎめされる場合、パッケージの内側で、該リードは曲

に電気的に接続するために利用される複数の導体を有する。第1レベルの金属被覆の導体すなわち電極11の幾つかは、リードフレーム型式のパッケージすなわちフレームアセンブリの導線への電気的結合を必要とする。第1レベルの電極11の導体の被覆は、二酸化けい素あるいはいずれの適切な溶着絶縁体のような絶縁コーティング12となっている。次に第2レベルの金属被膜13が絶縁コーティング12に溶着されかつ、パターン化される。第2レベルの金属被膜13は1組の拡張電極を含み、さらに絶縁コーティング12を通過する区域すなわち部分14を介して、第1レベルの金属被覆における集積回路の選択されたすなわち所定の電極11に電気的に結合される。該拡張電極組によってリードフレームリードへの接触を容易にし、さらに、チップの大きさが増減したとしても、リードフレームリードが拡張電極すなわちパッドに接触できるようにしている（リードフレームのリードと拡張パッドの間における接触領域だけが、チップの変化

げられ、すなわち曲り端部分によって形成されて、第2レベルの金属被覆の拡張電極13と接触する。さらに、第2レベルの金属被覆の拡張電極13およびパッケージに関連するリード21は、両方とも、好ましいことに、そこに付着したあるいはその上を被覆する鉛/錫の化合物すなわち合金のコーティングすなわち層22を有する。

第4図には、完成した装置の一部切断した斜視図が示されている。チップアセンブリおよび基板がパッケージフレームに適切に置かれる場合、フレーム20に取付けられ、それを通り抜けるリード21は曲り端部分を有して、第2レベルの金属被覆の拡張電極13と物理的に接触する。良好なことに、リード21の曲り端部分はパッケージ内にチップ10を位置ぎめする前に形成されるが、所望であれば、チップ10がパッケージ内に位置ぎめされた後でリード21の曲り端部分を形成することができる。その上、所望であれば、基板15をパッケージの一部とすることもできるし、チップ10をその上に置き、そこにうまく固

定することもできる。

集積回路パッケージは、例えば回路板のソケットにおけるように、それを利用しようとする回路の伝導領域に取付けるための耐え得る耐久力のあるリードを持たなければならない。代表的なアセンブリでは、集積回路チップは、第1レベルの金属被覆に位置決めされ電極に電気的に結合された、およびパッケージの導電リードに電気的に結合されたワイヤを有する。集積回路チップに取付けられた従来技術タイプのワイヤは、通常、もろく、かつ、取付けにくい。本発明は、この電気的結合問題を、第1レベルの金属被覆に位置決めされたチップの導体/電極より広い区域を有する導体/電極を含む第2レベルの金属被覆に形成された拡張電極を利用することによって、解決する。パッケージのリードは、第2レベルの金属被覆の拡張導体/電極と直接物理的、電気的に接触して位置決めされる。これらの拡張電極の大きさのために、異なる大きさのチップが同じパッケージで利用でき、

そして典型的な従来技術によるアセンブリの小さいワイヤリードの電気的結合から生ずるものい接続問題が回避される。さらに、第2レベルの金属被覆の電極ならびにフレーム内部のフレームリードは、各々の表面に、鉛/錫（例えば90%鉛/10%錫あるいは95%鉛/5%錫のような）化合物すなわち合金のコーティングを有する。導体/電極およびフレームリードが接触する場合、微量の熱が加えられ（例えば、パッケージを炉に入れ、該炉の内部を、はんだ付けコーティングの液化を達成するに足る温度にまで加熱することによって）はんだの流れを生じ、そしてはんだの冷却および接触領域（拡張電極13を有するリード21の曲り端部分）の湿润の後、それに続く良好な電気的接触、ならびに強力な機械的結合を生ずる。

このようにして、効果的でしかも構造上頑強な、半導体すなわち集積回路チップをパッケージのリードに結合する方法が達成され得る。その結果、半導体すなわち集積回路チップと外部

の電気回路との間で、電気的に信頼できるインタフェースを行う性能上の改良例となっている。

前述の説明は好ましい実施例の動作を例示しようとするものであって、発明の範囲を限定しようとするものではない。発明の範囲は冒頭の特許請求の範囲によってのみ限定されるべきである。上記の説明から、本発明の精神および範囲に含まれる多くの変例が、当業者にとって明白になるであろう。

4. 図面の簡単な説明

第1図は半導体すなわち集積回路チップアセンブリの断面図、第2図は、好ましくは該チップアセンブリが取付けられている基板部分を含む第1図のチップアセンブリの上面図、第3図は第2図のチップアセンブリ/基板構成の一部およびチップアセンブリに取付けられるべきリードフレーム構成の一部分の断面図、そして第4図は、完成パッケージの内部構成を示すためその1部を切除して示す、リードフレーム型のパッケージフレームおよびチップアセンブリ

リ/基板構成の斜視図である。

10…半導体チップ、11…電極、12…絶縁層、13…大きい電極、20…パッケージ、21…パッケージリード、22…合金コーティング。

代理人 弁理士 小 川 信 一
弁理士 野 口 賢 照
弁理士 斎 下 和 彦

